

MENU**SEARCH****INDEX****DETAIL****JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-234505

(43)Date of publication of application : 22.08.2003

(51)Int.Cl.

H01L 33/00

(21)Application number : 2003-020946

(71)Applicant : OSRAM OPTO
SEMICONDUCTORS GMBH

(22)Date of filing :

29.01.2003

(72)Inventor : BRUDERL GEORG
BAUR JOHANNES

(30)Priority

Priority number : 2002 10203801

Priority date : 31.01.2002

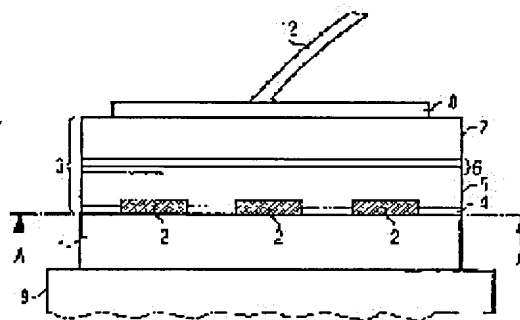
Priority country : DE

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To develop a semiconductor device that is equipped with a transition section having an electric series resistance as small as possible between a semiconductor body and a substrate.

SOLUTION: In the semiconductor device, a conductive substrate (1) and a semiconductor body (3) are provided, and the semiconductor body (3) has at least one nitride-compound semiconductor and at the same time is arranged on the surface of the substrate (1). In this case, a conductive mask layer (2) having a specific mask structure for reducing the series resistance in the semiconductor device is arranged between the substrate (1) and the semiconductor body (3), and the surface of the substrate (1) is partially covered with the mask layer.

**LEGAL STATUS**

[Date of request for examination] 29.01.2003

[Date of sending the examiner's decision of rejection] 22.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

3

して流れる。このために、特に導電性の基板が必要となる。この構造の場合には、コンタクトは隣接する半導体ポディの主面と、基板の、前記の主面と反対側の主面とに配置され、半導体ポディを通過する均一の電流の流れが生じる。

【0003】窒化物-化合物半導体、たとえばGa_{0.5}Al_{0.5}N、InGa_{0.5}N_{0.5}又はAl_{0.5}In_{0.5}N_{0.5}をベースとする半導体ポディに対しては、しばしば導電性のSi_{0.5}C_{0.5}基板が使用され、この基板上に半導体ポディの構築のために複数の半導体層をエピタキシャル成長させる。

【0004】エビタキシーのために、エビタキシー基板とこの基板上に成長させる半導体層との格子定数を整合させる必要がある。Si_{0.5}C_{0.5}基板の場合には、このために窒化物-化合物半導体層を基板上に成長させる前に、まず緩衝層を配置することができる。この緩衝層は、整合された格子定数の他に、Si_{0.5}C_{0.5}基板の良好な附着力を有する。緩衝層のための材料は、特にAlGa_{0.5}Nである。

もちろん、AlGa_{0.5}N緩衝層を基板上に成長させる際に、高いAl含有量を有するAlGa_{0.5}N層もしくはAl_{0.5}N層が形成され、これは高い電気抵抗を有するか又はそれが完全絶縁性である。このことはたとえBP、Vennegues, H. Lehtreche, Applied Physics Letters, Vol. 77, No. 26, pp. 4310-4312から公知である。それに

より垂直方向の導電性の構造体の電気抵抗は著しく高められてしまう。

【0005】また、緩衝層としてGa_{0.5}N緩衝層も使用できるが、炭化ケイ素との格子整合が比較的良好なため基板表面付近での欠陥の多い、僅かな導電性の層が形成される。

【0006】このような緩衝層により得られた僅かな導電性のために、対応する半導体ポディは高い直列抵抗もしくは高い順方向電圧を有し、それによりこのポディの効率は低下する。さらに、緩衝層の導電性が低下すると共に、生じる損失熱によりポディを損傷する危険性が向上する。

【0007】

【非特許文献1】P. Venngues, H. Lehtreche, Applied Physics Letters, Vol. 77, No. 26, pp. 4310-4312

2

【0008】

【発明が解決しようとする課題】本発明の課題は、半導体ポディと基板との間の改善された移行部を有する貫通した種類の半導体ポディを開発することであつた。特に、このような半導体ポディは可能な限り僅かな電気直列抵抗を有するのが好ましい。さらに、本発明の課題はこのような半導体ポディの製造方法を提供することであつた。

【0009】

【課題を解決するための手段】前記の課題は請求項1記載の半導体ポディ並びに請求項15記載の方法により

-3-

(3) 特開2003-234505

解決される。本発明の有利な実施態様は引用形式請求項の対象である。

【0010】本発明の場合には、導電性の基板と、少なくとも1つの窒化物-化合物半導体層を有する半導体ポディとを備え、前記半導体ポディは基板表面上に配置されている半導体ポディが形成され、この場合、半導体ポディと基板との間に所定のマスク構造を有する導電性のマスク層が配置されており、このマスク層は基板表面の一部に覆われている。有利に半導体ポディは、基板の半導体ポディとは反対側と、半導体ポディとで、電気的に接続可能である。

【0011】この場合には、ポディの製造の際に半導体層をまず、基板のマスク層で覆われていない領域に成長させ、引き続きこの半導体層をマスク層の上にラテラル方向に成長させて一体的な半導体層を主びさせるといふ基本思想に基づく。この場合、有利に基板のマスク層で覆われていない領域では、導電性でない層も、たとえ格子整合のために配置することができ、それとこの層の導電性マスク層は僅かな導電性を有する。そのような層に備けけるためである。

【0012】半導体ポディもしくは半導体ポディの1つ又は複数の半導体層が、マスク層に向かう側で、マスク層を少なくとも部分的に囲み込むように構成するのが有利である。基板と半導体ポディとの間にマスク層を埋め込むことは、直列抵抗をさらに減少させ、かつ半導体ポディの動作電流を均一に分配する。

【0013】導電性基板は本発明の場合にはSi_{0.5}C_{0.5}基板であるのが有利である。マスク層としては、たとえば金属層又は導電性金属化合物層が基板上に配置されていてもよい。この金属層は所定のマスク構造を、たとえば複数の平行又は格子状に配置された導電性のストライプの形のマスク構造を有する。格子状の構造は、半導体ポディ内での特に均一な電流分配の利点を有する。ストライプ状の構造の場合には、マスク層で覆われていない部分はラテラルにさらに拡張し、僅かな数の界面に基づきマスク層を覆う一体的な半導体層の構築が容易となる。

【0014】本発明の有利な実施態様の場合には、基板表面上でのマスク層で覆われていない領域内に緩衝層が形成される。この緩衝層は半導体ポディの後続する層と基板との間の格子整合のために用いられ、エビタキシーの際の半導体ポディと基板との間の有利に欠陥のない移行を可能にする。本発明の場合には、この緩衝層が整合に際して最速に構成することができ、特に導電性が悪いか又は導電性でなくともよい。それとこの層の導電性の場合により僅かな導電性、導電性のマスク層によって補償されるためである。

【0015】本発明は、特に窒化物-化合物半導体ベースとする放射線を発する半導体ポディ、たとえば発光ダイオード(LED)又はレーザダイオードに適している。有利に、これらのポディはn型導電層、たと

-4-

えはn-AlGa_{0.5}N層、n-InGa_{0.5}N層又はn-Al_{0.5}In_{0.5}N層(この層は基板もしくはマスク層と境界を接している)を有し、並びにp型導電層、たとえばp-AlGa_{0.5}N層、p-InGa_{0.5}N層又はp-Al_{0.5}In_{0.5}N層を有し、この場合、n型導電層とp型導電層との間に活性な放射線を発する領域が形成されている。この領域はたとえばInGa_{0.5}Nを含有することができ、この種のポディ構造は、放射線発生の際に高い効率を特徴とし、その際、主要な発光波長は、半導体構造体の材料組成及び入射又は出射により広範囲に調整することができる。

【0016】基板及びその上に配置された半導体ポディを備えた半導体ポディの本発明による製造方法の場合には、まず適当な基板、たとえば導電性の炭化ケイ素基板を準備し、その上に所定のマスク構造を有するマスク層を配置する。

【0017】マスク層をまず一貫する層として構築し、その後放射線が導電性のマスク層により部分的にだけ覆われるように、所定の構造にマスク層を構造化する。すなわち構造化されたマスク層が基板上に配置されるか又はこの構造はマスク層の配置と同時に形成することができ。

【0018】引き続き、半導体ポディの少なくとも1つの層を基板上にもしくはマスク層上に設置し、その後半導体ポディを完成させる。有利にこの半導体層は基板上にエビタキシャルに堆積される。この場合、成長プロセスの間隔時にまず、基板表面の、マスク層により覆われていない領域にだけ成長させる(これは度外視される)材料でマスク層が格納に覆われる(この場合、半導体材料でマスク層が構造化される)こと、高い成長速度で、半導体層がマスク層の厚さを上回る、高い成長速度で、ラテラルな成長が生じ、このマスク層は半導体層によりラテラルに覆われる。この成長は、半導体層がマスク層を封鎖し、かつ一体の半導体表面を形成するまで行われる。

【0019】本発明の有利な実施態様の場合には、マスク層の構築及びマスク層の構造化の後に、基板上に緩衝層を成長させ、引き続き、半導体ポディの半導体層を緩衝層上に堆積させる。窒化物-化合物半導体にとつては、特にAlGa_{0.5}N層又はAl_{0.5}N層が適しており、この場合、有利にこのような緩衝層の僅かな導電性はマスク層の導電性により補償される。

【0020】有利に、この緩衝層はできるだけ低温で、特にこの種の緩衝層の製造のために通常使用される温度と比較して低められた温度で堆積させ、マスク層の材料がたとえば金属-半導体化合物へ転移することを抑制する。

【0021】本発明の他の特徴、利点及び有効性は、図面1〜4との関連での本発明の4つの実施例の次の記載から明らかである。

【0022】図面中で同じ又は同様の作用の部材は同じ

符号が付与されている。

【0023】

【実施例】図1に示された半導体ポディは、複数の半導体層4、5、6及び7を有する半導体ポディ3を有し、この半導体ポディ3は基板1上に配置されている。基板として導電性のSi_{0.5}C_{0.5}基板が使用される。これらの半導体層は、Ga_{0.5}Nをベースとし、かつ、適切な化合物、たとえばGa_{0.5}N、AlGa_{0.5}N、InGa_{0.5}N、Al_{0.5}In_{0.5}N_{0.5}を有する。放射線を発する半導体構造体を形成する。たとえば層6は活性の、放射線を発するInGa_{0.5}N層であるか又は放射線性を発する構造体、たとえば単一量子井構造又は複数のInGa_{0.5}N層を備えた多重量子井構造を有する。

【0024】放射線を発する層6は、基板に向かう側でn型導電層、たとえばp-AlGa_{0.5}N層5により、その反対側ではp型導電層7、たとえばp-Al_{0.5}In_{0.5}N層により保たれている。

【0025】エビタキシー法を用いてこのような構造体の製造のために、Si_{0.5}C_{0.5}基板が適しており、この場合、格子定数の整合のためにはSi_{0.5}C_{0.5}基板上に緩衝層を堆積させるのが有利である。このために、図示された実施例の場合には、格子状の、導電性のマスク層2を基板上に配置し、この層は半導体ポディ3により覆われ、埋め込まれる。基板上に接する緩衝層4、たとえばAlGa_{0.5}N層は、マスク層で覆われていない緩衝層の基板上に成長される。この緩衝層4上に引き続き前記された半導体層5、6及び7を配置し、この場合に緩衝層4はマスク層2よりも薄い。

【0026】この構造は、導電性マスク層が、基板と半導体ポディの電流供給する層との間に高い導電性を有する電気的結合を作り出すという利点を有する。従って、緩衝層4自体は格子整合に際して構造化することができ、この場合には従って、高いAl含有量、基板表面上のAl_{0.5}N層の形成又は欠陥の多い層の形成に基づき場合により生じる導電性の悪化は、基板1と半導体ポディ3との間の電流運搬に著しい悪影響を及ぼさない。

【0027】マスク層2として、たとえばニッケル、モリブデン及び/又はアルミニウムを含有する相応して構造化された金属層を用いることができる。一般に、マスク層2のための材料として、できる限り僅かな仕事関数を有する金属、有利に基板、たとえば記載された実施例においてSi_{0.5}C_{0.5}基板の仕事関数より小さい仕事関数を有する金属が有利である。

【0028】さらに、マスク層2について、800°C以上の高い融点を有する材料、特に金属が適している。純粋な金属の他に、このマスク層2は金属合金又は金属化合物、特に金属炭化物、たとえば酸化インジウム、酸化スズ、酸化亜鉛又はITO(インジウム-スズ酸化物)を含有することもできる。

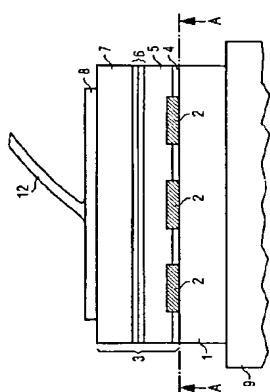
【0029】接触のために、このポディは、適当な

-4-

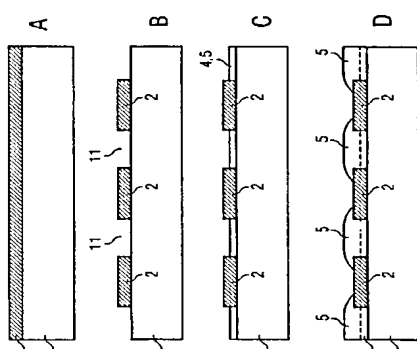
図式的な断面図
【符号の説明】
1 基板、2 マスク層、3 半導体ポディ、4、5、6、7 半導体層、8 コンタクト面、9 支持体、10 半導体表面、11 開口、12 ワイヤボンディング、

【図1】本発明による半導体デバイスの第1の実施例の図式的な断面図
【図2】本発明による製造方法の実施例の5つの中間工程の図式的な断面図
【図3】本発明による半導体デバイスの第2の実施例の図式的な断面図
【図4】本発明による半導体デバイスの第3の実施例の図式的な断面図

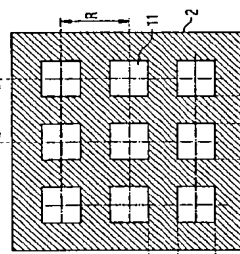
【図1】



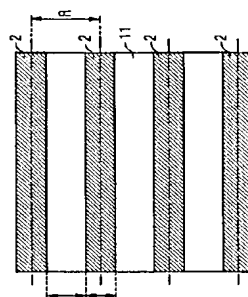
【図2】



【図3】



【図4】



は、一体的に閉じた半導体表面10がマスク層2の上方に生じるまで行われる(図2e)。

【0037】基板と隣接する半導体層5もしくは縁側層4は、従来の成長プロセスにおいて形成される層に対する一般的成長温度よりも低い、低められた温度で成長させるのが有利である。対応する温度は当業者に公知であるかしくは関連する文献から推知できる。たとえば、AlGaIn層は通常1050℃の温度で成長させる。それに対して、本発明の場合には950℃の温度に低下させ、マスク層2及び基板1の材料から不利な化合物が生じることを回避する。特に、ニッケルを含有するマスク層の場合に、液相のケイ化ニッケルが形成される危険が生じ、これは次の層の引き続く堆積を阻害してしまう。

【0038】図3において、本発明の第2の実施例の図式的な断面図を表す。この断面図は、図1に対応するデバイスの場合に、A-A線に沿って延びており、マスク層2のラテラルな構造を示す。

【0039】このマスク層2は、複数の相互に垂直に交差するストライプを形成し、このストライプの間に複数の長方形又は正方形の開口11が形成されている。この開口は、基板の、マスク層2により覆われていない領域に相当し、この開口中に半導体層5もしくは縁側層4を成長させる。ストライプ幅s及び開口11の幅bは有利に0.5~5.0μm、特に有利に1μm~2.0μmである。この寸法もしくはラスタ基準(Raster) R=s+bは、この場合必要に応じて適合させることができる。たとえばストライプ幅s約2μm及びラスタ基準R約5μmの長方形の格子は、デバイス中に電流が均一に流れるという利点を有する。同じストライプ幅sでラスタ基準Rを高める、たとえば7μmに高めた場合に、閉じた半導体層の構築のために必要な開口は低下し、それにより製造コストも低減する。より大きなラスタ基準、たとえば12μmの場合にも、半導体層中の転位密度の有利な減少が生じる。

【0040】また、図4に示されているような、マスクのストライプ状の構造も可能である。図3で示した実施例と比べて、この半導体層5はこの場合には僅かな数の個別の領域に区分されているため、マスク層2を覆う際に少ない界面が相互に接合する。それにより一体的に閉じた半導体層が形成するまでに必要な層厚を減少させる。ストライプ幅s、開口幅bもしくはラスタ基準R=b+sについて、図3に示した実施例と同じ領域の数値が適用し、その際、一般にストライプ状の構造の場合に電流の流れの均一性は、必要により薄い層厚及びより僅かな転位密度が生じるように調整される。

【0041】この実施例を用いて本発明を詳説するが、もちろん、この実施例は本発明を限定するものではない。

【図面の簡単な説明】

支持体9上に固定され、この支持体9は導電性であるか又は基板1のワイヤボンディング側に対応する導電性の構造を有する。この支持体9とは反対側で、半導体ポディ3にはコンタクト面8が設けられており、このコンタクト面8にたとえばワイヤボンディング12が接続できることが可能である。

【0030】図2a~2eには、本発明による製造方法の実施例が、5つの中間工程を用いて図式的に示されている。

【0031】第1の段階、図2aでは、基板1、たとえばSiC基板上に、導電性の一貫した層2aが設置されており、この層から次にマスク層を形成する。この層はニッケル層であるか又はすでに前記した他の金属又は金属化合物からなる層であることができる。金属層の厚厚は有利に10nm~100nmである。

【0032】この層2aの設置のために、慣用のスパッタ法又は蒸着法が適用している。

【0033】次の工程、図2bでは、工程2aがたとえフォトリソグラフィ法を用いて構築化され、基板1上に開口11を備えたマスク層2が生じ、この場合、開口11の範囲内で基板1の表面が露出する。

【0034】第3の工程、図2cでは、半導体ポディ3は半導体ポディの少なくとも1つの半導体層5が設置される。この層5は基板1上に直接エピタキシャル成長されるか又は最速には予めエピタキシャル成長させた縁側層4上に成長させる。この層5及び場合により縁側層4は、この場合まず、基板1の、マスク層2により覆われていない領域にだけ成長し、つまりこのマスク層2のま

【0035】両方の場合に、窒化物ベースの半導体材料、たとえばAlGaInを基板上に設置するのが有利である。このような半導体基板5のエピタキシャル堆積の場合に、基板1上に絶縁性のAlN皮膜が形成することができ、格子定数の整合のための縁側層4の設置は、一般にAl含有量の高い層の堆積を必要とし、この層は同様に僅かな導電性を有する。先行技術によるデバイスの場合では従ってデバイスの直列抵抗が著しい昇降を伴うことになる。しかしながら、本発明の場合には直列抵抗のこのようないずれもマスク層2の導電性により補償される。それによりマスク層2は半導体ポディと基板との間の導電性の悪い層に橋かけするためである。

【0036】マスク層の厚さを上回るように半導体層5をさらに成長させる場合に、この半導体層5は比較的高いラテラル方向の成長速度に基づき、ラテラル方向に拡散し、マスク層2はこの半導体層5により覆われ(図2d)、最終的に半導体層5内に完全に埋め込まれる。エピタキシャル層はマスク層2を覆う領域でも良好な結晶品質を有し、かつ特に低い欠陥密度を有する。この種の成長プロセスは、ELOG法(Epitaxial Lateral Over Growth)として公知である。この半導体層5の成長

フロントページの続き

(72)発明者 ガオルク ブリュエデル
ドイツ連邦共和国 ブルクレンゲンフエ
ト アカツイエンゲエーク 19

(72)発明者 ヨハネス バウル
ドイツ連邦共和国 ドイエルリグ アム
ハスラッハ 9
Fターム(参考) 5F041 A003 AA24 CA33 CA40 CA83
CA93